

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-160215

(43)Date of publication of application : 23.06.1995

(51)Int.Cl.

G09G 3/18  
G02F 1/133  
H02M 3/07

(21)Application number : 05-309076

(71)Applicant : TOSHIBA CORP  
TOSHIBA MICRO ELECTRON KK

(22)Date of filing : 09.12.1993

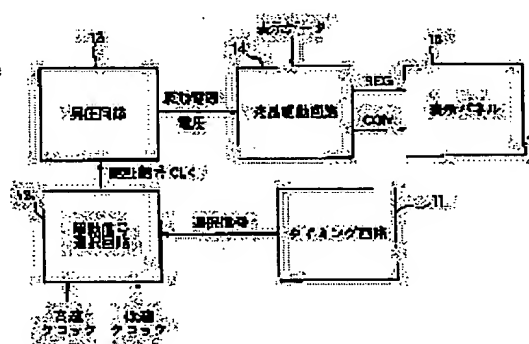
(72)Inventor : KAWASAKI MASAYUKI  
KATSUKI SHUJI  
KUWAJIMA YASUNORI  
TACHIBANA HIDEHIKO  
SUEDA AKIHIRO

## (54) BOOSTER CIRCUIT DEVICE

### (57)Abstract:

PURPOSE: To improve display quality of a liquid crystal and to reduce current consumption.

CONSTITUTION: This device is provided with a liquid crystal driving circuit 14 supplying driving signals SEG and COM to a display panel 15, a timing circuit 11 generating and outputting a selection signal according to the current consumption of the liquid crystal driving circuit 14, a driving signal selection circuit 12 selecting and outputting either one of at least two kinds of driving signals CLK whose frequencies are different from each other based on the selection signal outputted from the timing circuit 11 and a booster circuit 13 imparted with the outputted driving signal CLK and supplying a driving source voltage to the liquid crystal driving circuit 14.



## LEGAL STATUS

[Date of request for examination] 16.09.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3159586

[Date of registration] 16.02.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-160215

(43) 公開日 平成7年(1995)6月23日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/18				
G 0 2 F 1/133	5 2 0			
H 0 2 M 3/07		8726-5H		

審査請求 未請求 請求項の数 4 O L (全 10 頁)

(21) 出願番号 特願平5-309076

(22) 出願日 平成5年(1993)12月9日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(71) 出願人 000221199

東芝マイクロエレクトロニクス株式会社

神奈川県川崎市川崎区駅前本町25番地1

(72) 発明者 川 崎 正 行

大分県大分市大字松岡3500番地 株式会社

東芝大分工場内

(72) 発明者 勝 木 修 二

神奈川県川崎市幸区堀川町580番1号 株

式会社東芝半導体システム技術センター内

(74) 代理人 弁理士 佐藤 一雄 (外3名)

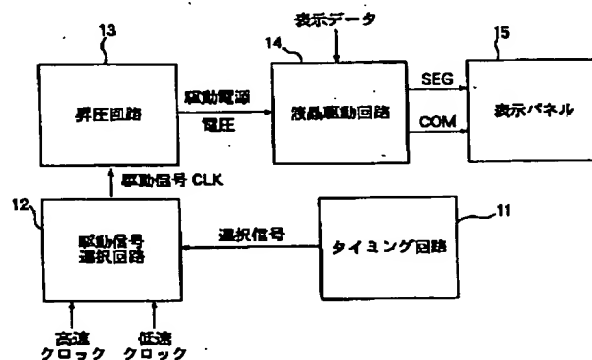
最終頁に続く

(54) 【発明の名称】 昇圧回路装置

(57) 【要約】

【目的】 液晶の表示品質を向上し、消費電流を低減させる。

【構成】 表示パネル15に駆動信号SEG及びCOMを供給する液晶駆動回路14と、この液晶駆動回路14の消費電流に応じて選択信号を生成し出力するタイミング回路11と、タイミング回路11から出力された選択信号に基づいて、周波数の異なる少なくとも2種類の駆動信号CLKのいずれかを選択して出力する駆動信号選択回路12と、出力された駆動信号CLKを与えられ液晶駆動回路14に駆動電源電圧を供給する昇圧回路13とを備える。



1

## 【特許請求の範囲】

【請求項 1】周期的に消費電流が変化する電流負荷回路と、

前記電流負荷回路の消費電流に応じて選択信号を生成し出力するタイミング回路と、

前記タイミング回路から出力された前記選択信号に基づいて、周波数の異なる少なくとも 2 種類の駆動信号のいずれかを選択して出力する駆動信号選択回路と、

前記駆動信号選択回路から出力された前記駆動信号を与えられ、前記電流負荷回路に電源電圧を供給する昇圧回路とを備えたことを特徴とする昇圧回路装置。

【請求項 2】周期的に消費電流が変化する電流負荷回路と、

前記電流負荷回路の消費電流に応じて選択信号を生成し出力するタイミング回路と、

前記タイミング回路から出力された前記選択信号に基づき、前記電流負荷回路の消費電流が所定値よりも大きい場合は周波数の異なる少なくとも 2 種類の駆動信号のいずれかを選択して出力し、前記電流負荷回路の消費電流が所定値以下である場合は駆動信号の出力を停止する駆動信号選択回路と、

前記駆動信号選択回路から出力された前記駆動信号を与えられ、前記電流負荷回路に電源電圧を供給する昇圧回路とを備えたことを特徴とする昇圧回路装置。

【請求項 3】周期的に消費電流が変化する電流負荷回路と、

前記電流負荷回路の消費電流が所定値よりも大きいときに高速クロック選択信号を出力し、前記電流負荷回路の消費電流が所定値以下であるときに低速クロック選択信号を出力するタイミング回路と、

前記タイミング回路から前記低速クロックが出力された場合は第 1 の周波数を持つ低速クロックを選択し、前記タイミング回路から前記高速クロックが出力された場合は前記第 1 の周波数よりも周波数の高い少なくとも 2 種類の高速クロックのいずれかを選択して駆動信号として出力する駆動信号選択回路と、

前記駆動信号選択回路から出力された前記駆動信号を与えられ、前記電流負荷回路に電源電圧を供給する昇圧回路と、

前記タイミング回路から前記高速クロックが出力された場合、前記昇圧回路から出力された電源電圧と基準電圧とを比較し、前記電源電圧が前記基準電圧まで到達するまでの間、前記高速クロックのうち順次周波数の高いものを前記駆動信号として出力するように前記駆動信号選択回路を制御する制御手段とを備えたことを特徴とする昇圧回路装置。

【請求項 4】周期的に消費電流が変化する電流負荷回路と、

前記電流負荷回路の消費電流が増大する時点よりも早い時点から所定期間選択信号を出力し、前記所定期間経過

2

後は前記選択信号の出力を停止するタイミング回路と、前記タイミング回路から前記選択信号が出力されている間駆動信号を出力し、前記選択信号が出力されていない間は前記駆動信号の出力を停止する駆動信号選択回路と、

前記駆動信号選択回路から出力された前記駆動信号を与えられ、前記電流負荷回路に電源電圧を供給する昇圧回路とを備えたことを特徴とする昇圧回路装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は昇圧回路装置に関し、液晶駆動回路のように電流の消費が小さい回路への電源供給源として好適なものに関する。

## 【0002】

【従来の技術】従来は、液晶駆動用に図 9 に示された構成を持つ 2 倍昇圧回路が用いられていた。

【0003】まず、スイッチ SW1 及びスイッチ SW2 が共に接点 a 側に接続されていると、容量 Ca には電荷  $Q_{a1} = C_a \cdot V_a$  が蓄積される。次に、スイッチ SW1 及び SW2 が共に接点 b 側に接続されると、電荷  $Q_{a1}$  が容量 Ca 及び Cb に分配される。ここで、容量 Ca 及び Cb が同一であるとする、出力端子 Vb の電圧  $V_{b1}$  は、電圧  $V_a$  と同一になる。

【0004】次に、スイッチ SW1 及び SW2 が共に接点 a 側に接続されると、容量 Ca には電荷  $Q_{a2} = C_a \cdot V_a$  が蓄積され、容量 Cb には電荷  $Q_{b2} = C_b \cdot V_a$  が蓄積される。

【0005】スイッチ SW1 及び SW2 が接点 b 側に接続されると、電荷が分配されて出力端子 Vb の出力電圧  $V_{b2}$  は、 $V_b = 3/2 \cdot V_a$  となる。

【0006】以上の動作を繰り返していくと、出力電圧  $V_{bn}$  (n は 3 以上の整数) は  $2 \cdot V_a$  に次第に接近していきほぼ等しくなる。

【0007】図 10 に、図 9 に示された 2 倍昇圧回路を MOS 型トランジスタを用いて構成した例を示す。スイッチ SW1 は P チャネルトランジスタ P3 及び N チャネルトランジスタ N1 で構成され、スイッチ SW2 は P チャネルトランジスタ P1 及び P2 から成っている。また、このスイッチ SW1 及び SW2 は、制御回路 41 によりその動作を制御される。制御回路 41 は、レベルシフト回路 41a とインバータ INV1 を有し、レベルシフト回路 41a に駆動信号 CLK を入力されて動作する。

【0008】この回路で、初期状態は端子 Va にのみ電源電圧  $V_a$  が印加され、出力端子 Vb は接地電位に等しい状態にある。レベルシフト回路 41a の出力端子にゲートを接続された P チャネルトランジスタ P2 と、インバータ INV1 の出力端子にゲートを接続された P チャネルトランジスタ P1 は、共にロウレベルをゲートに印加されてオン状態にある。これにより、出力端子 Vb か

らは電圧 $V_a$ が出力される。

【0009】次に、駆動信号 $CLK$ の電位が電圧 $V_a$ になると、この電圧 $V_a$ がスイッチ $SW1$ の $N$ チャネルトランジスタ $N1$ のゲートと制御回路41のレベルシフタ回路41aに入力される。 $N$ チャネルトランジスタ $N1$ と $P$ チャネルトランジスタ $P1$ がオンする。この状態は、図9においてスイッチ $SW1$ 及び $SW2$ が共に接点 $a$ 側に接続された状態に相当する。

【0010】駆動信号 $CLK$ が接地電位になると、 $P$ チャネルトランジスタ $P2$ 及び $P$ チャネルトランジスタ $P3$ がオンし、図9においてスイッチ $SW1$ 及び $SW2$ が共に接点 $b$ 側に接続された状態になる。この動作を繰り返すことで、上述したように出力端子 $V_b$ からは電圧 $2 \cdot V_a$ にほぼ等しい電圧が出力される。

【0011】図11に、液晶表示パネルの等価回路の構成を示す。表示パネル50には、液晶駆動信号 $COM1 \sim COMn$ を供給する信号線と駆動信号 $SEG1 \sim SEGn$ を供給する信号線とがマトリクス状に配線されている。各々の信号線の交差部には、1画素分の液晶が存在し、これを容量負荷51として表示する。

【0012】図12(a)に、このような液晶を駆動する信号 $COM1 \sim COMn$ 及び信号 $SEG1 \sim SEGn$ の動作波形を示す。ここで、電圧 $V_a$ は上述のように外部から与えられた電源電圧であり、電圧 $V_b$ 、 $V_c$ はそれぞれ2倍昇圧回路、3倍昇圧回路の出力電圧に相当する。

【0013】信号線が交差した部分に設けられた1画素分の液晶は、駆動信号 $SEG$ と信号 $COM$ との電位差が最大電圧 $V_c$ になった場合に光を解放する状態になり、電圧 $V_b - V_c$ の場合に遮断状態になる。

【0014】ところで、このような液晶駆動回路の消費電流 $I_{disp}$ は、液晶が容量性負荷であることから $I_{disp} = f_d \cdot C_L \cdot V_d$ として表される。但し、ここで周波数 $f_d$ は駆動信号 $COM$ 及び $SEG$ の周波数であり、容量 $C_L$ は液晶の持つ容量であり、電圧 $V_d$ は表示電位であるとする。このように、液晶は容量性負荷であるため、図12(b)のように駆動信号 $SEG$ 及び $COM$ の電位が変化する時のみ電流が流れて電流が消費される。

【0015】また、上述した駆動回路に電源を供給するための昇圧回路の出力電圧は、液晶駆動回路の消費電流が最大の時に大きく変化したときにも表示品質が悪化しないように、 $\pm 0.1V$ 以下に抑える必要がある。そこで、このような条件を満たすように、容量 $C_a$ 及び $C_b$ の値と昇圧回路の駆動信号の周波数とを設定しなければならない。

【0016】図10に示された昇圧回路における消費電流 $I_p$ は、

$$I_p = f_{CLK} \cdot C_p \cdot V_p \quad \dots (1)$$

というように表すことができる。

【0017】ここで、 $f_{CLK}$ は昇圧駆動信号の周波数であり、 $C_p$ は容量 $C_a$ 、制御回路41及びスイッチ $SW1$ 、 $SW2$ に寄生する容量であり、 $V_p$ は電源電圧であるとする。

【0018】以上のように、消費電流の大きさは、駆動回路及び昇圧回路共に $f \cdot C \cdot V$ として表わされ、表示電源電圧の変動幅を $\pm 0.1V$ 以下にするためには、次のような条件を満たす必要がある。

【0019】駆動回路駆動信号 $COM$ 及び $SEG$ の周波数 $f_d < \text{昇圧回路駆動信号の周波数}$

$$f_{CLK} \quad \dots (2)$$

$$\text{液晶容量 } C_L < \text{昇圧回路の容量} \quad \dots (3)$$

この条件から、昇圧回路の消費電流が全体の消費電流に占める割合は大きいことがわかる。

【0020】

【発明が解決しようとする課題】しかし、従来は図13に示されるように、昇圧回路62には分周回路61から出力される駆動信号を一様に与えていた。このため、図14に示されるように消費電流 $I_{disp}$ の値にかかわらず駆動信号の周波数は一定であり、消費電流を低減することはできなかった。

【0021】本発明は上記事情に鑑みてなされたもので、液晶の表示品質を低下させることなく消費電流を低減させることができる昇圧回路装置を提供することを目的とする。

【0022】

【課題を解決するための手段】本発明の昇圧回路装置は、周期的に消費電流が変化する電流負荷回路と、前記電流負荷回路の消費電流に応じて選択信号を生成し出力するタイミング回路と、前記タイミング回路から出力された前記選択信号に基づいて、周波数の異なる少なくとも2種類の駆動信号のいずれかを選択して出力する駆動信号選択回路と、前記駆動信号選択回路から出力された前記駆動信号を与えられ、前記電流負荷回路に電源電圧を供給する昇圧回路とを備えたことを特徴としている。

【0023】

【作用】電流負荷回路の消費電流に応じて異なる周波数の駆動信号が選択されて昇圧回路に与えられることで、昇圧回路における消費電流が低減され、全体の消費電流が低減される。

【0024】

【実施例】以下、本発明の一実施例について図面を参照して説明する。図1に、本発明の第1の実施例による昇圧回路装置の構成を示す。液晶駆動回路14は、表示パネル15が表示すべきデータを入力され、駆動信号 $SEG$ 及び $COM$ を表示パネル15に与えて駆動するものである。昇圧回路13は図示されていない電源電圧を与えられ、昇圧したものを駆動電源電圧として液晶駆動回路14に与えるものである。昇圧回路13は、駆動信号により駆動を制御されるが、この駆動信号は駆動信号選択

回路12から出力される。

【0025】駆動信号選択回路12には、周波数の異なる高速クロック信号と低速クロック信号とが入力される。駆動信号選択回路は、タイミング回路11から与えられる選択信号に基づいて、入力された高速クロック信号と低速クロック信号のうちいずれかを選択して駆動信号CLKとして昇圧回路13に出力する。

【0026】タイミング回路11は、図2(a)及び(b)に示されたように、液晶駆動回路14の消費電流 $I_{disp}$ が大きいときに駆動信号選択回路12から高速クロック信号が駆動信号CLKとして昇圧回路13に出力され、消費電流 $I_{disp}$ が小さいときに低速クロック信号が出力されるように選択信号を出力する。具体的には、液晶駆動回路14から出力される駆動信号SEG及びCOMの電位が変化するとき、この回路14で消費される電流 $I_{disp}$ が大きくなる。そこで、これらの信号SEG及びCOMの電位の変化に応じて、タイミング回路11が選択信号を生成し出力する。

【0027】本実施例のように、液晶駆動回路14の消費電流 $I_{disp}$ の大小に応じて、昇圧回路13に供給される駆動信号CLKの周波数を変えることで、昇圧回路13の消費電流を小さくすることができる。上述したように、昇圧回路13で消費される電流は全体の消費電流に占める割合が大きく、本実施例によれば全体の消費電流を大幅に低減することができる。

【0028】本発明の第2の実施例による昇圧回路装置は、図3に示されるような駆動信号選択回路12aを備えている。この駆動信号選択回路12aは、第1の実施例における駆動信号選択回路12と比較し、周波数の異なる複数の高速クロック1, 2, ..., n (nは1以上の整数)が低速クロックと共に入力される点が相違する。そして、タイミング回路11から与えられた選択信号に基づいて、高速クロック1, 2, ..., n及び低速クロックのうちのいずれか一つを駆動信号CLKとして出力する。液晶駆動回路14から出力される駆動信号SEG及びCOMのレベルの変化によって、液晶駆動回路14における消費電流の大きさに違いが生じる。そこで、消費電流が最も大きい場合には最も周波数の高い高速クロックnを選択し、消費電流が最も小さい場合は低速クロックを選択する。その中間の領域では、消費電流の大きさに応じて、高速クロック1~n-1のうちのいずれかを選択する。

【0029】本発明の第3の実施例による昇圧回路装置は、図3に示された駆動信号選択回路12bを備えている。この駆動信号選択回路12bは、低速クロックは入力されず、複数の高速クロックのみを入力される。この昇圧回路装置では、駆動信号SEG及びCOMのレベルが変化せず液晶駆動回路14の消費電流が小さいときは、昇圧回路13の動作を停止させることで消費電流の低減を図っている。そこで、消費電流が小さいときは、

タイミング回路13からの選択信号に基づいて、駆動信号選択回路12からレベルを固定した駆動信号が昇圧回路13に与えられて昇圧回路13の昇圧動作が停止する。消費電流が大きいときは、駆動信号選択回路12に輸入された複数の高速クロックのうちいずれか最適なものが選択されて駆動信号CLKとして昇圧回路13に出力される。

【0030】ここで、表示パネル15を駆動する駆動信号SEG及びCOMのパルス幅dutyは、その電位によって変化する。図12(a)に示された駆動信号COM1~COMn、SEG1~SEGnのように、レベルが3段階に分かれている場合、パルス幅dutyは約2msecである。よって、この駆動信号COM1~COMn、SEG1~SEGnは、約2msec周期でレベルが変化する。そして、液晶駆動回路14における消費電流 $I_{disp}$ は、図12(b)に示されたように駆動信号COM1~COMn、SEG1~SEGnが変化した時に約100 $\mu$ secの期間に渡って増大する。

【0031】本発明の第3の実施例に従い、駆動信号COM1~COMn、SEG1~SEGnのレベルが変化せず液晶駆動回路14の消費電流が少ないときに昇圧回路13の昇圧動作を停止させると、昇圧回路14の消費電流を約1/20に抑えることができる。

【0032】次に、本発明の第4の実施例による昇圧回路装置の構成を図5に示す。この第4の実施例は、消費電流を抑制するという目的他に、表示品質を向上させることも目的としている。上述したように、昇圧回路から出力される駆動電源電圧が大きく変動すると、表示品質が劣化する。このため、駆動電源電圧の変動幅を±0.1Vに抑える必要があり、昇圧回路30に与える駆動信号の周波数を速くすることが望ましい。

【0033】そこで、本実施例では表示パネルに表示させる時、即ち液晶駆動回路28の消費電流が大きい時に、その値に応じて順次周波数の高い駆動信号CLKを昇圧回路に与え、消費電流が小さい値で一定である時は周波数の低い駆動信号を与える。これにより、昇圧回路における消費電流の抑制と、表示品質の劣化の防止とを共に実現している。

【0034】本実施例は、表示パネル29、液晶駆動回路28、内蔵昇圧回路23、昇圧回路30、駆動信号選択回路27、タイミング回路21の他に、比較回路22、遅延回路24、加算回路25、及び分周回路26を備えている。

【0035】分周回路26は、基本クロックを与えられて周波数の異なる低速クロック、高速クロック1~4を出力するものである。この低速クロック及び高速クロック1~4が、駆動信号選択回路27に輸入される。駆動信号選択回路27は、タイミング回路21から出力される高速/低速クロック選択信号に基づいて、低速クロックと、高速クロック1~4のいずれかを選択する。さら

に、高速クロック 1~4 を選択した場合には、加算回路 25 から出力される高速クロック選択信号に基づいていずれかを選択する。

【0036】ここで、高速クロック選択信号は次のようにして生成される。タイミング回路 21 は、表示パネル 29 に画面の表示をさせない間は低速クロック選択信号を出力し、表示をさせるときに高速クロック選択信号を発生する。具体的には、上述のように液晶駆動回路 28 から表示パネル 29 に与える駆動信号 SEG 及び COM のレベルが変化し、液晶駆動回路 28 における消費電流が増大する時に、高速クロック選択信号を出力する。さらに、この時にイネーブル信号を比較回路 22 に出力する。

【0037】比較回路 22 は、内蔵昇圧回路 23 が出力した基準電圧と、昇圧回路 30 から出力された駆動電源電圧とを比較し、比較した結果を加算回路 25 に与える。昇圧回路 30 から出力された駆動電源電圧がまだ十分に昇圧されておらず、基準電圧よりも低い間は、加算回路 25 に加算を命じる。これにより、加算回路 25 は、高速クロック 1 から開始して、遅延回路 24 を経て順次周波数の高い高速クロック 2, 3, …を選択するような高速クロック選択信号を駆動信号選択回路 27 に出力する。駆動信号選択回路 27 から出力される駆動信号の周波数が高くなると、昇圧回路 30 の電流供給能力が上昇する。この結果、表示品質が向上する。

【0038】駆動電源電圧が十分に昇圧されて基準電圧に到達すると、比較回路 22 から加算回路 25 へ加算を中止する命令が下され、この時点における高速クロックを出力するように駆動信号選択回路 27 へ指令が下る。

【0039】このように、表示パネル 29 に表示させる時には高い周波数の駆動信号を昇圧回路 30 に与えて表示品質を高め、表示させない時は低い周波数の駆動信号を昇圧回路 30 に与えて昇圧回路 30 での消費電流を低減する。各々の時点において最適な周波数を持つ駆動信号が昇圧回路 30 に与えることで、表示品質の向上及び消費電流の低減を共に達成することができる。

【0040】次に、本発明の第 5 の実施例について説明する。本実施例は、昇圧回路から出力される駆動電源電圧の電位が安定し、表示品質が向上することを目的としており、図 6 に示されたような構成を備えている。ここで、図 1 に示された第 1 の実施例と比較し、タイミング回路 31 が駆動信号選択回路 12 に出力する選択信号の生成が異なっている。

【0041】図 7 に、本実施例における液晶駆動回路 14 の消費電流と、タイミング回路 31 から出力される選択信号、駆動信号選択回路 12 から出力される駆動信号 CLK、昇圧回路 13 から出力される駆動電源電圧、及び表示パネル 15 における表示出力との関係を示す。ここで、期間 B は表示パネル 15 に与える駆動信号 SEG 及び COM が変化をしない期間であり、さらに液晶駆動

回路 14 での消費電流がある程度存在するものとする。

【0042】図中、時点 X において消費電流が増大している。この時点 X は、表示パネル 15 に与えられる駆動信号 SEG 及び COM のレベルが変化している時点に相当する。

【0043】第 1~第 4 の実施例では、時点 X 以降表示を行う所定期間において、選択信号がハイレベルになり、駆動信号 CLK が出力される。この場合には、駆動電源電圧は、図中点線で示されたように必要なレベルまで十分に到達せずに、表示出力も所望のレベルに到達するまでに時間を要する。

【0044】これに対し、第 5 の実施例では選択信号が時点 X よりも期間 C だけ早い時点からハイレベルに変化し、この時点から駆動信号 CLK が出力される。ここで、期間 C は駆動信号の半周期以上長い方が好ましい。このように、期間 C だけ速く駆動信号 CLK を昇圧回路 13 に与えることで、期間 B の間低下した駆動電源電圧のレベルが時点 X では十分なレベルに到達する。この結果、表示出力の応答性が向上する。

【0045】本発明の第 6 の実施例は、図 8 に示されたように期間 B における消費電流が極めて小さい場合に適用されるものである。この実施例では、第 5 の実施例よりも短い期間 C だけ時点 X よりも速い時点から駆動信号 CLK が出力される。この期間 C は、少なくとも駆動信号 CLK の半周期よりも短く設定される。

【0046】さらに、第 5 の実施例では消費電流がある程度小さい B の期間は駆動信号 CLK をロウレベルに保持している。これにより、消費電流をより低減することができる。第 6 の実施例では、期間 B は駆動信号 CLK をハイレベルに保持している。これにより、図 9 において、スイッチ SW1 及び SW2 が接点 b 側に接続され容量 Ca 及び Cb により 2Va の電圧が Vb より出力された状態になる。このため、期間 B の間に駆動電源電圧のレベルが低下せずハイレベルで保持される。これにより、CLK を出力する期間 C が短くとも、時点 X における駆動電源電圧が十分に昇圧されたレベルまで到達し、高い表示出力の応答性を得ることができる。

【0047】上述した実施例は一例であって本発明を限定するものではなく、種々の変形が可能である。タイミング回路から与えられた選択信号に応じて駆動信号選択回路が選択する駆動信号は、周波数の異なる 2 種類以上のものから選択されるものであればよい。

【0048】

【発明の効果】以上説明したように本発明の昇圧回路装置は、電流負荷回路の消費電流に応じて周波数の異なる駆動信号が選択されて昇圧回路に与えられることで、全体の消費電流に占める割合の高い昇圧回路における消費電流が低減される。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施例による昇圧回路装置の構

成を示したブロック図。

【図 2】同昇圧回路装置における消費電流と駆動信号 CLK との関係を示したタイムチャート。

【図 3】本発明の第 2 の実施例による昇圧回路装置における駆動信号選択回路を示したブロック図。

【図 4】本発明の第 3 の実施例による昇圧回路装置における駆動信号選択回路を示したブロック図。

【図 5】本発明の第 4 の実施例による昇圧回路装置の構成を示したブロック図。

【図 6】本発明の第 5 の実施例による昇圧回路装置の構成を示したブロック図。

【図 7】同昇圧回路装置における消費電流、選択信号、駆動信号、駆動電源電圧、表示出力の関係を示したタイムチャート。

【図 8】本発明の第 6 の実施例による昇圧回路装置における消費電流、選択信号、駆動信号、駆動電源電圧、表示出力の関係を示したタイムチャート。

【図 9】従来の昇圧回路装置の構成を示した回路図。

【図 10】同昇圧回路装置の詳細な構成を示した回路図。

【図 11】液晶表示パネルの等価回路の構成を示した回路図。

【図 12】同液晶表示パネルを駆動する信号と、液晶駆

動回路における消費電流との関係を示したタイムチャート。

【図 13】従来の昇圧回路装置の構成を示した回路図。

【図 14】同昇圧回路装置における液晶駆動回路の消費電流と、昇圧回路に供給される駆動信号との関係を示したタイムチャート。

【符号の説明】

11 タイミング回路

12, 12a, 12b 駆動信号選択回路

13 昇圧回路

14 液晶駆動回路

15 表示パネル

21, 31 タイミング回路

22 比較回路

23 内蔵昇圧回路 23

24 遅延回路

25 加算回路

26 分周回路

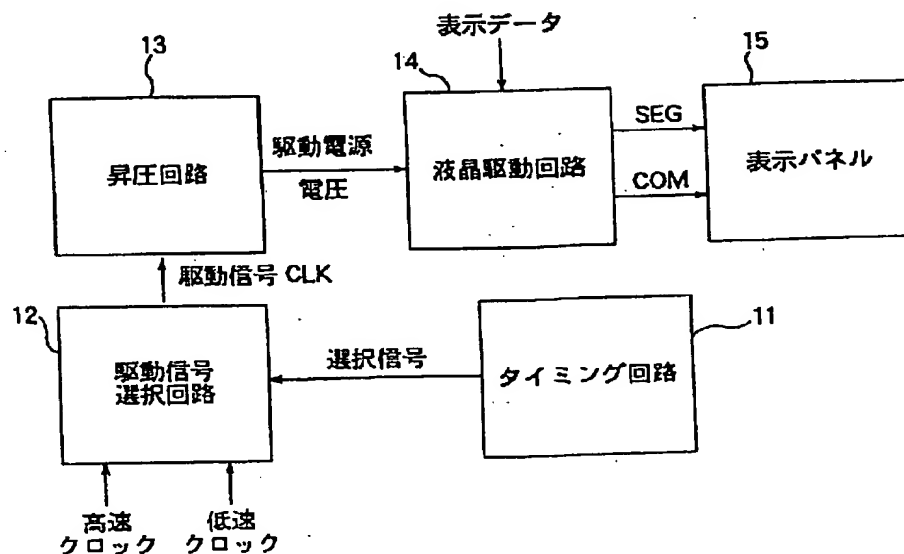
27 駆動信号選択回路

28 液晶駆動回路

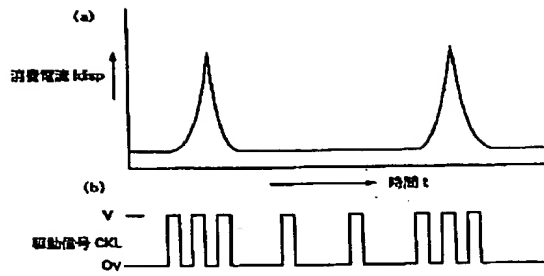
29 表示パネル

30 昇圧回路

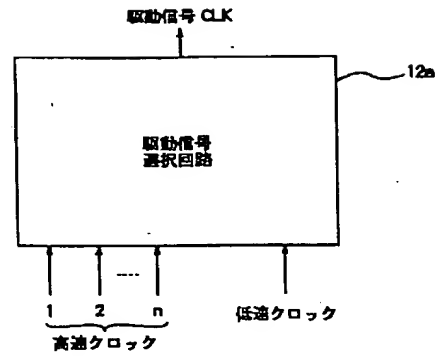
【図 1】



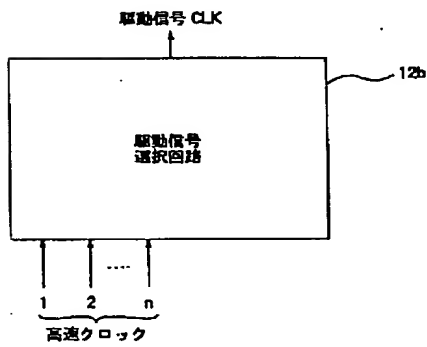
【図2】



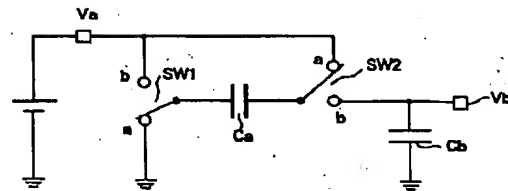
【図3】



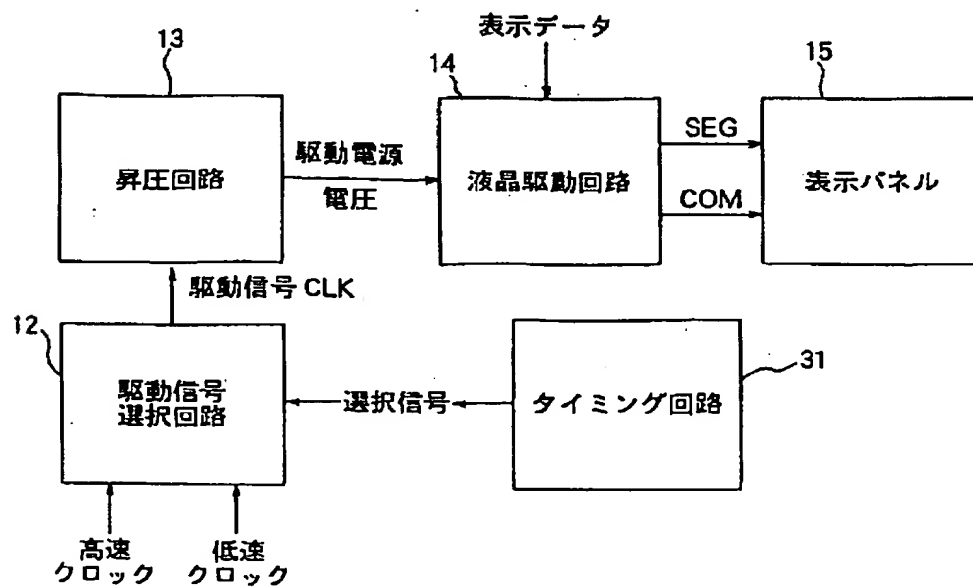
【図4】



【図9】

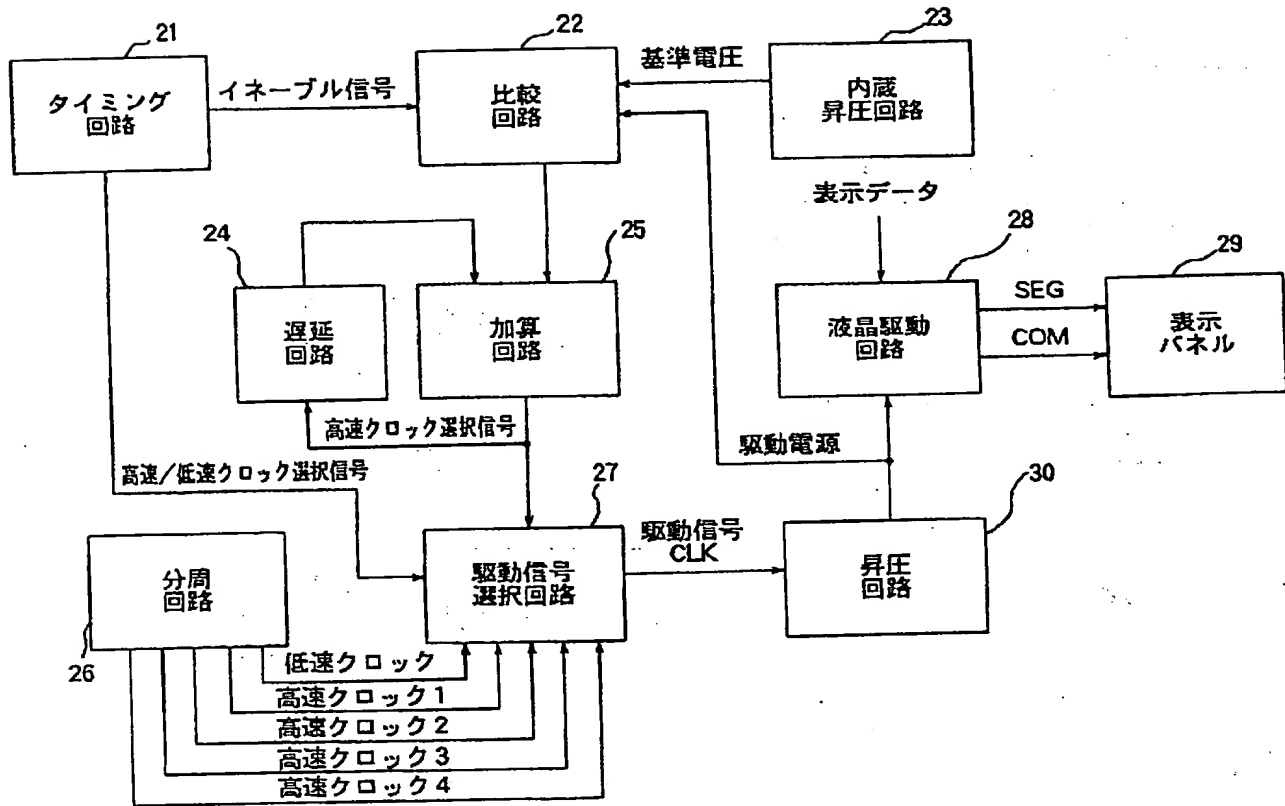


【図6】

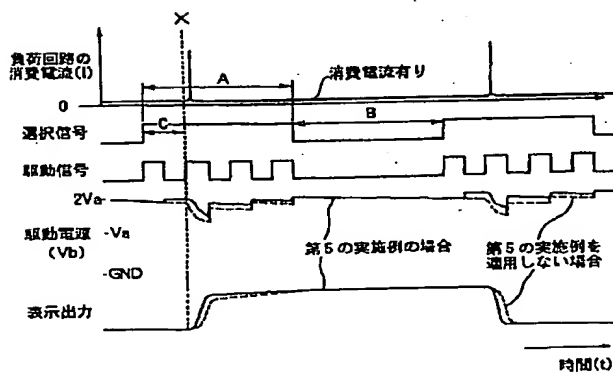




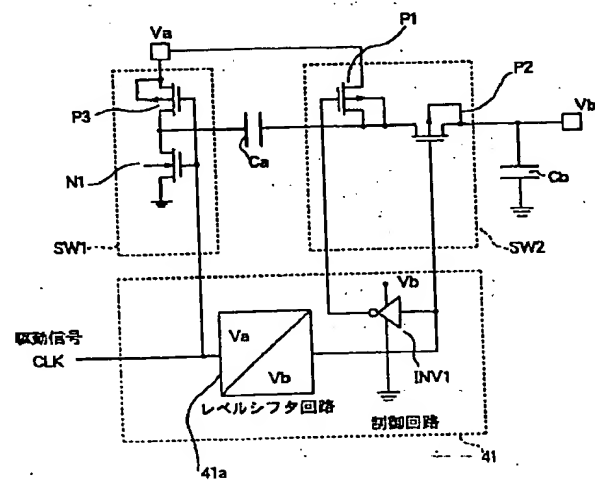
【図5】



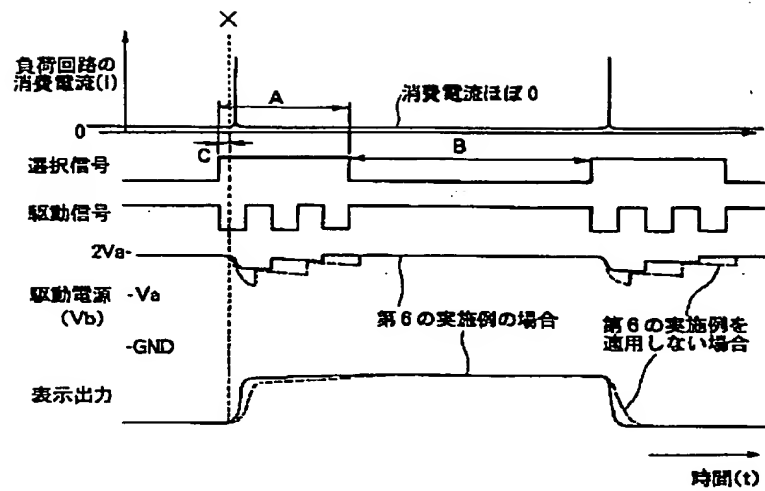
【図7】



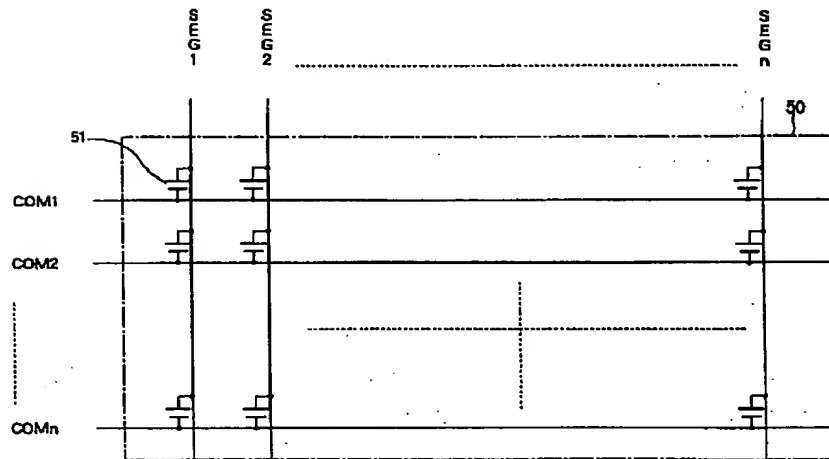
【図10】



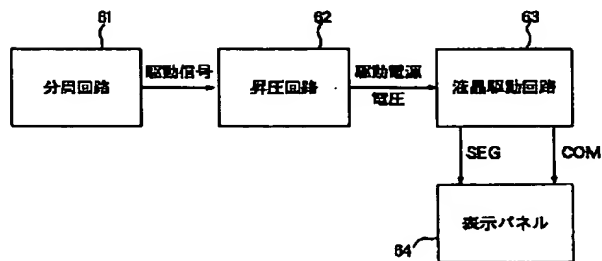
【図8】



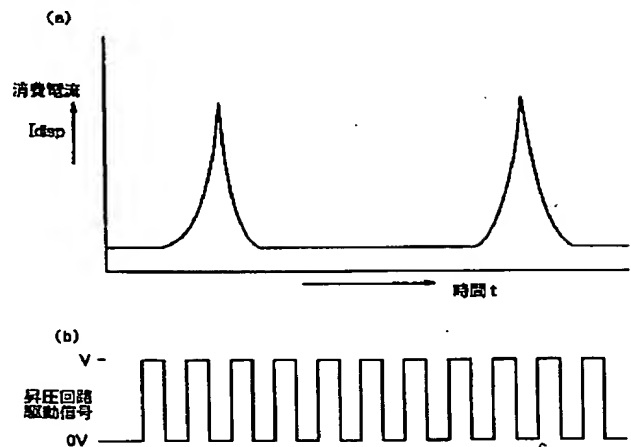
【図11】



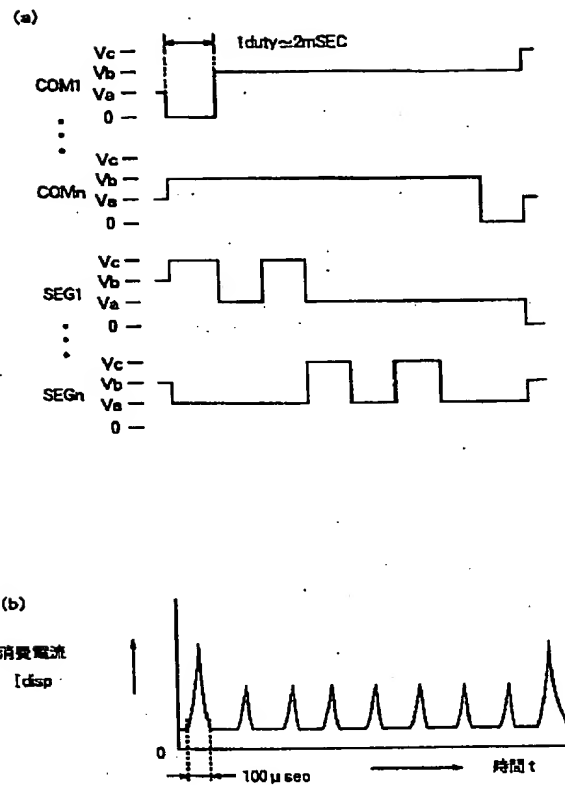
【図13】



【図14】



【図12】



フロントページの続き

(72)発明者 桑 島 康 法  
神奈川県川崎市川崎区駅前本町25番地 1  
東芝マイクロエレクトロニクス株式会社内

(72)発明者 立 花 秀 彦  
神奈川県川崎市川崎区駅前本町25番地 1  
東芝マイクロエレクトロニクス株式会社内  
(72)発明者 末 田 昭 洋  
大分県大分市大字松岡3500番地 株式会社  
東芝大分工場内